

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-161890

(43)Date of publication of application : 21.06.1996

(51)Int.Cl.

G11C 11/41
H01L 21/8244
H01L 27/11

(21)Application number : 06-300014

(71)Applicant : FUJITSU LTD

(22)Date of filing : 02.12.1994

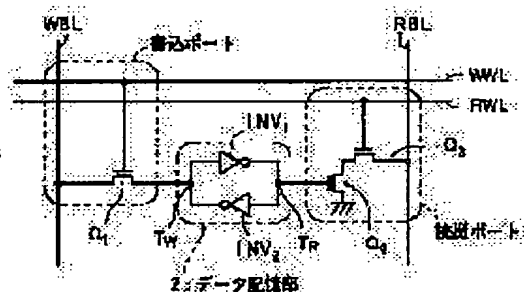
(72)Inventor : OKANO HIROSHI

(54) MEMORY CELL CIRCUIT AND MULTI-PORT SEMICONDUCTOR STORAGE

(57)Abstract:

PURPOSE: To realize high integration by suppressing the increase of bit line pairs even though the number of ports is increased while connecting a write bit line to a write terminal by a switching means in accordance with the signal logic of the write word line at the time of a writing.

CONSTITUTION: When a memory cell circuit is made to be in a selection state, and a write word line WWL is made to be 'H', an NMOSFET Q1 is turned ON. Consequently, a data corresponding to the signal logic of a writing bit line WBL is stored in a data storage part 2. Moreover, when the circuit is made to be in the selection state and a reading word line RWL is made to be 'H', Q3 is turned ON. At this time, when the output of an inverter INV1 is 'L' and the storage data is 'H', Q2 remains in an OFF state and a reading bit line RBL becomes 'H' and then the storage data is read out.



LEGAL STATUS

[Date of request for examination]

31.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-161890

(43) 公開日 平成8年(1996)6月21日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/41

H 0 1 L 21/8244

27/11

G 1 1 C 11/ 34

K

H 0 1 L 27/ 10

3 8 1

審査請求 未請求 請求項の数7 O L (全 18 頁)

(21) 出願番号

特願平6-300014

(22) 出願日

平成6年(1994)12月2日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 岡野 廣

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 石川 泰男

(54) 【発明の名称】 メモリセル回路及びマルチポート半導体記憶装置

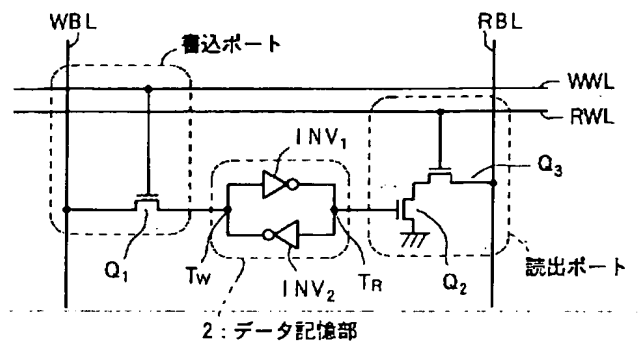
(57) 【要約】

【目的】 ポート数を増加させても、ビット線数の増加を抑制し、高集積化が可能なメモリセル及びマルチポート記憶装置を提供する。

【構成】 書込端子 T_w 及び読出端子 T_r を有するデータ記憶手段2と、書込用ワード線WWLに制御端子が接続され、書込用ワード線WWLの信号論理に対応して書込用ビット線WBLと書込端子 T_w とを接続する第1スイッチ手段 Q_1 と、読出端子 T_r に制御端子が接続され、データ記憶手段2の記憶データの信号論理に応じて二つの端子の間の接続を行うとともに、一方の端子が接地された第2スイッチ手段 Q_2 と、読出用ワード線RWLに制御端子が接続され、読出用ワード線RWLの信号論理に対応して読出用ビット線RBLと第2スイッチ手段 Q_2 の他方の端子とを接続する第3スイッチ手段 Q_3 と、を備えて構成する。

第1実施例のメモリセル回路

1: メモリセル回路



【特許請求の範囲】

【請求項1】 書込端子及び読出端子を有するデータ記憶手段と、

書込用ワード線に制御端子が接続され、書込用ワード線の信号論理に対応して書込用ビット線と前記書込端子とを接続する第1スイッチ手段と、

前記読出端子に制御端子が接続され、前記データ記憶手段の記憶データの信号論理に応じて二つの端子の間の接続を行うとともに、一方の端子が接地された第2スイッチ手段と、

読出用ワード線に制御端子が接続され、読出用ワード線の信号論理に対応して読出用ビット線と前記第2スイッチ手段の他方の端子とを接続する第3スイッチ手段と、を備えたことを特徴とするメモリセル回路。

【請求項2】 書込端子及び読出端子を有するデータ記憶手段と、

n本（n：2以上の整数）の書込用ワード線のいずれか一の書込用ワード線に排他的に制御端子が接続され、当該接続された書込用ワード線の信号論理に基づいて対応する書込用ビット線と前記書込端子とを接続するn個の第1スイッチ手段と、

前記読出端子に制御端子が接続され、前記データ記憶手段の記憶データの信号論理に応じて二つの端子の間の接続を行うとともに、一方の端子が接地されたm個（m：2以上の整数）の第2スイッチ手段と、

m本の読出用ワード線のいずれか一の読出用ワード線に排他的に制御端子が接続され、当該接続された読出用ワード線の信号論理に基づいて対応する読出用ビット線及び前記第2スイッチ手段の他方の端子を接続するm個の第3スイッチ手段と、

を備えたことを特徴とするメモリセル回路。

【請求項3】 請求項1又は請求項2記載のメモリセル回路において、

前記データ記憶手段は、入力端子が前記書込端子に接続され、出力端子が前記読出端子に接続された第1インバータと、

入力端子が前記読出端子に接続され、出力端子が前記書込端子に接続された第2インバータと、を備えたことを特徴とするメモリセル回路。

【請求項4】 書込読出端子を有するデータ記憶手段と、

書込用ワード線に制御端子が接続され、書込用ワード線の信号論理に対応して書込用ビット線と前記書込読出端子とを接続する第1スイッチ手段と、

前記書込読出端子に制御端子が接続され、前記データ記憶手段の記憶データの信号論理に応じて二つの端子の間の接続を行うとともに、一方の端子が接地された第2スイッチ手段と、

読出用ワード線に制御端子が接続され、読出用ワード線の信号論理に対応して読出用ビット線と前記第2スイッ

チ手段の他方の端子とを接続する第3スイッチ手段と、を備えたことを特徴とするメモリセル回路。

【請求項5】 請求項4記載のメモリセル回路において、

前記データ記憶手段は、入力端子が前記書込読出端子に接続された第1インバータと、

入力端子が前記第1インバータの出力端子に接続され、出力端子が前記書込読出端子に接続された第2インバータと、

10 を備えたことを特徴とするメモリセル回路。

【請求項6】 n本（n：2以上の整数）の書込用ワード線と、

m本（m：2以上の整数）の読出用ビット線と、書込用ビット線と、

読出用ワード線と、

書込端子及び読出端子を有するデータ記憶手段、前記n本の書込用ワード線のうちいずれか一の書込用ワード線に排他的に制御端子が接続され、当該接続された書込用ワード線の信号論理に対応して前記書込用ビット線と前記書込端子とを接続する第1スイッチ手段、前記読出端子に制御端子が接続され、前記データ記憶手段の記憶データの信号論理に応じて二つの端子を接続し、あるいは非接続状態を保持するとともに、一方の端子が接地された第2スイッチ手段及び前記読出用ワード線に制御端子が接続され、前記読出用ワード線の信号論理に対応してm本の読出用ビット線のうち、排他的に対応するいずれか一の読出用ビット線と前記第2スイッチ手段の他方の端子とを接続する第3スイッチ手段を有するn個のメモリセル回路と、

30 外部からの列選択信号に基づいて、前記n本の読出用ビット線のうちいずれか一の読出用ビット線を排他的に選択読出端子に接続する読出用ビット線接続切換手段と、を備えたことを特徴とするマルチポート半導体記憶装置。

【請求項7】 n本（n：2以上の整数）の読出用ワード線と、

n本の書込用ワード線と、

読出用ビット線と、

書込用ビット線と、

40 書込端子及び読出端子を有するデータ記憶手段、前記n本の書込用ワード線のうちいずれか一の書込用ワード線に排他的に制御端子が接続され、当該接続された書込用ワード線の信号論理に基づいて前記書込用ビット線と前記書込端子とを接続する第1スイッチ手段、前記読出端子に制御端子が接続され、前記データ記憶手段の記憶データの信号論理に応じて二つの端子を接続し、あるいは非接続状態を保持するとともに、一方の端子が接地された第2スイッチ手段及びn本の前記読出用ワード線のうちいずれか一の前記読出用ワード線に排他的に制御端子が接続され、当該接続された読出用ワード線の信号論理

に対応して前記読出用ビット線と前記第2スイッチ手段の他方の端子とを接続する第3スイッチ手段を有するn個のメモリセル回路と、
を備えたことを特徴とするマルチポート半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体記憶装置に係り、特にマルチポートメモリに用いられるメモリセル及びマルチポート記憶装置の改良技術に関する。

【0002】マルチポートメモリは、複数のアドレス及び複数のデータ入出力部を有するメモリであり、複数のプロセッサ間のメッセージ交換用メモリとして用いられている。マルチポートメモリによれば、書込ポート数及び読出ポート数に応じて、1サイクルで一又は複数のデータの書込み及び一又は複数のデータの読出しを行うことができる。

【0003】近年の処理装置の高速化の観点から、このようなマルチポートメモリは、その需要が増大しているが、書込ポート数及び読出ポート数を増加させると、ビット線数、ワード線数並びに制御用トランジスタが増大し、チップ面積が増大することとなり、高集積化の妨げとなっていた。

【0004】そこで、高集積化が可能で多数の書込ポート及び読出ポートを備えたマルチポートメモリが望まれている。

【0005】

【従来の技術】図9に従来のマルチポートメモリメモリのメモリセル回路の基本構成を示す。メモリセル回路100は、大別すると書込用ビット線WBL'、反転書込用ビット線XWBL'及び書込用ワード線WWL'に接続された書込ポート101と、読出用ビット線RBL'、反転読出用ビット線XRBL'及び読出用ワード線RWL'に接続された読出ポート102と、書込ポート101及び読出ポート102の双方に接続されたデータ記憶部103と、を備えて構成されている。

【0006】書込ポート101は、ゲート端子が書込用ワード線WWL'に接続され、ソース端子が書込用ビット線WBL'に接続された第1NチャネルMOSトランジスタQ_{w0}と、ゲート端子が書込用ワード線WWL'に接続され、ソース端子が反転書込用ビット線XWBL'に接続された第2NチャネルMOSトランジスタQ_{w1}と、を備えて構成されている。

【0007】読出ポート102は、ゲート端子が読出用ワード線RWL'に接続され、ドレイン端子が書込用ビット線WBL'に接続され、ソース端子が第1NチャネルMOSトランジスタQ_{w0}のドレイン端子に接続された第3NチャネルMOSトランジスタQ_{r0}と、ゲート端子が書込用ワード線WWL'に接続され、ドレイン端子が反転読出用ビット線XRBL'に接続され、ソース端子

が第2NチャネルMOSトランジスタQ_{w1}のドレイン端子に接続された第4NチャネルMOSトランジスタQ_{r1}と、を備えて構成されている。

【0008】データ記憶部103は、入力端子が第1NチャネルMOSトランジスタQ_{w0}のドレイン端子と第3NチャネルMOSトランジスタQ_{r0}のソース端子の中間接続点に接続され、出力端子が第2NチャネルMOSトランジスタQ_{w1}のドレイン端子と第4NチャネルMOSトランジスタQ_{r1}のソース端子の中間接続点に接続された第1インバータINV₁'と、入力端子が第2NチャネルMOSトランジスタQ_{w1}のドレイン端子と第4NチャネルMOSトランジスタQ_{r1}のソース端子の中間接続点に接続され、出力端子が第1NチャネルMOSトランジスタQ_{w0}のドレイン端子と第3NチャネルMOSトランジスタQ_{r0}のソース端子の中間接続点に接続された第2インバータINV₂'と、を備えて構成されている。

【0009】ここで、基本的な動作について説明する。データ書込時には、書込用ワード線WWL'を“H”レベルとし、読出用ワード線RWL'を“L”レベルとし、書込用ビット線WBL'を書込データに応じたレベルとし、反転書込用ビット線XWBL'を書込ビット線の反転レベルとする。

【0010】これにより、データ記憶部103には書込データが保持されることとなる。データ読出時には、読出用ワード線RWL'を“H”レベルとし、書込用ワード線WWL'を“L”レベルとする。これにより、読出用ビット線RBL'にはデータ記憶部に保持したデータに応じたレベルが出力され、反転読出用ビット線XRBL'にはデータ記憶部103に保持したデータの反転レベルが出力されることとなる。

【0011】図10に列選択回路を用いた場合のマルチポートメモリの基本回路図を示す。従来においては、メモリを構成する際に、ワード数あるいはビット数の制約があった場合には、列選択回路あるいは行選択回路を用いることにより、メモリセルアレイの形状並びにワード線の負荷及びビット線の負荷を調節している。

【0012】図10は、ビット線を2分割し、1/2ビット線選択を行う場合の回路構成であり、書込用ビット線として、2本の書込用ビット線（例えば、書込用ビット線WBL'。及び反転書込用ビット線XWBL'。）で構成し、非選択列のビット線については2本の書込用ビット線をトランスファゲートにより同電位とすることにより、当該非選択列のメモリセルのデータが破壊されないように構成していた。より具体的には、上述の例の場合、書込列選択信号WCD'及び反転書込列選択信号XWCD'に基づいてトランスファゲートTG₂'及びトランスファゲートTG₃'を制御することにより書込用ビット線WBL'、及び反転書込用ビット線XWBL'、を同電位とし、非選択列のメモリセルMC₁のデータが破壊されないようにしていた。

【0013】

【発明が解決しようとする課題】図9に示したように、従来のマルチポートメモリにおいては、書込ポート数あるいは読出ポート数を増加させようすると、対応する書込用ビット線あるいは読出用ビット線がポート数の2倍必要となり、メモリセルの面積が増大することとなり、マルチポートメモリの高集積化の妨げとなるという問題点があった。また同様にして制御用のトランジスタ数も増大してしまうという問題点があった。

【0014】また、図10に示したような列選択回路を用いたマルチポートメモリにおいては、その動作原理からビット線数を減少させることができず、さらにビット線数が増加するとともに、トランジスタ数も増加し、メモリセルの面積が増大してしまうという問題点があった。

【0015】そこで本発明の目的は、ポート数を増加させても、ビット線数の増加を抑制し、高集積化が可能なメモリセル及びマルチポート記憶装置を提供することにある。

【0016】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、書込端子及び読出端子を有するデータ記憶手段と、書込用ワード線に制御端子が接続され、書込用ワード線の信号論理に対応して書込用ビット線と前記書込端子とを接続する第1スイッチ手段と、前記読出端子に制御端子が接続され、前記データ記憶手段の記憶データの信号論理に応じて二つの端子の間の接続を行うとともに、一方の端子が接地された第2スイッチ手段と、読出用ワード線に制御端子が接続され、読出用ワード線の信号論理に対応して読出用ビット線と前記第2スイッチ手段の他方の端子とを接続する第3スイッチ手段と、を備えて構成する。

【0017】請求項2記載の発明は、書込端子及び読出端子を有するデータ記憶手段と、 n 本 ($n: 2$ 以上の整数)の書込用ワード線のいずれか一の書込用ワード線に排他的に制御端子が接続され、当該接続された書込用ワード線の信号論理に基づいて対応する書込用ビット線と前記書込端子とを接続する n 個の第1スイッチ手段と、前記読出端子に制御端子が接続され、前記データ記憶手段の記憶データの信号論理に応じて二つの端子の間の接続を行うとともに、一方の端子が接地された m 個 ($m: 2$ 以上の整数)の第2スイッチ手段と、 m 本の読出用ワード線のいずれか一の読出用ワード線に排他的に制御端子が接続され、当該接続された読出用ワード線の信号論理に基づいて対応する読出用ビット線及び前記第2スイッチ手段の他方の端子を接続する m 個の第3スイッチ手段と、を備えて構成する。

【0018】請求項4記載の発明は、書込読出端子を有するデータ記憶手段と、書込用ワード線に制御端子が接続され、書込用ワード線の信号論理に対応して書込用ビ

ット線と前記書込読出端子とを接続する第1スイッチ手段と、前記書込読出端子に制御端子が接続され、前記データ記憶手段の記憶データの信号論理に応じて二つの端子の間の接続を行うとともに、一方の端子が接地された第2スイッチ手段と、読出用ワード線に制御端子が接続され、読出用ワード線の信号論理に対応して読出用ビット線と前記第2スイッチ手段の他方の端子とを接続する第3スイッチ手段と、を備えて構成する。

【0019】請求項6記載の発明は、 n 本 ($n: 2$ 以上の整数)の書込用ワード線と、 m 本の ($m: 2$ 以上の整数)読出用ビット線と、書込用ビット線と、読出用ワード線と、書込端子及び読出端子を有するデータ記憶手段、前記 n 本の書込用ワード線のうちいずれか一の書込用ワード線に排他的に制御端子が接続され、当該接続された書込用ワード線の信号論理に対応して前記書込用ビット線と前記書込端子とを接続する第1スイッチ手段、前記読出端子に制御端子が接続され、前記データ記憶手段の記憶データの信号論理に応じて二つの端子を接続し、あるいは非接続状態を保持するとともに、一方の端子が接地された第2スイッチ手段及び前記読出用ワード線に制御端子が接続され、前記読出用ワード線の信号論理に対応して m 本の読出用ビット線のうち、排他的に対応するいずれか一の読出用ビット線と前記第2スイッチ手段の他方の端子とを接続する第3スイッチ手段を有する n 個のメモリセル回路と、外部からの列選択信号に基づいて、前記 n 本の読出用ビット線のうちいずれか一の読出用ビット線を排他的に選択読出端子に接続する読出用ビット線接続切換手段と、を備えて構成する。

【0020】請求項7記載の発明は、 n 本 ($n: 2$ 以上の整数)の読出用ワード線と、 n 本の書込用ワード線と、読出用ビット線と、書込用ビット線と、書込端子及び読出端子を有するデータ記憶手段、前記 n 本の書込用ワード線のうちいずれか一の書込用ワード線に排他的に制御端子が接続され、当該接続された書込用ワード線の信号論理に基づいて前記書込用ビット線と前記書込端子とを接続する第1スイッチ手段、前記読出端子に制御端子が接続され、前記データ記憶手段の記憶データの信号論理に応じて二つの端子を接続し、あるいは非接続状態を保持するとともに、一方の端子が接地された第2スイッチ手段及び n 本の前記読出用ワード線のうちいずれか一の前記読出用ワード線に排他的に制御端子が接続され、当該接続された読出用ワード線の信号論理に対応して前記読出用ビット線と前記第2スイッチ手段の他方の端子とを接続する第3スイッチ手段を有する n 個のメモリセル回路と、を備えて構成する。

【0021】

【作用】請求項1記載の発明によれば、書込時には、書込用ワード線の信号論理に対応して第1スイッチ手段が書込用ビット線と前記書込端子とを接続する。

【0022】これにより、書込端子を介してデータ記憶

手段にデータが書き込まれることとなる。また、読出時には、読出用ワード線の信号論理に対応して第3スイッチ手段が読出用ビット線と第2スイッチ手段の他方の端子とを接続する。

【0023】これと並行して、第2スイッチ手段は、データ記憶手段の記憶データの信号論理に応じて二つの端子の間を接続し、あるいは非接続状態を保持する。これにより読出端子を介してデータ記憶手段から読出用ビット線にデータが出力されることとなる。

【0024】以上の説明のように第1スイッチ手段に接続される書込用ビット線は1本でよく、また、第3スイッチ手段に接続される読出用ビット線も1本でよい。従って、従来のメモリセルと比較して半分のビット線数ですむこととなる。

【0025】請求項2記載の発明によれば、書込時には、各第1スイッチ手段は、接続されている書込用ワード線の信号論理に基づいて対応する書込用ビット線と前記書込端子とを接続する。

【0026】これにより、書込端子を介してデータ記憶手段にデータが書き込まれることとなる。また、読出時には、各第3スイッチ手段は接続された読出用ワード線の信号論理に基づいて対応する読出用ビット線と第2スイッチ手段の他方の端子とを接続する。

【0027】これと並行して、第2スイッチ手段は、データ記憶手段の記憶データの信号論理に応じて二つの端子の間を接続し、あるいは非接続状態を保持する。これにより読出端子を介してデータ記憶手段から対応する読出用ビット線にデータが出力されることとなる。

【0028】以上の説明のように書込ポートを増加しても各第1スイッチ手段に接続される書込用ビット線は1本でよく、また、読出ポートを増加しても各第3スイッチ手段に接続される読出用ビット線も1本でよい。従って、ポートの増加に伴う増加ビット線数は従来のメモリセルと比較して半分ですむこととなる。

【0029】請求項4記載の発明によれば、書込時には、第1スイッチ手段は、書込用ワード線の信号論理に対応して書込用ビット線とデータ記憶手段の書込読出端子とを接続する。

【0030】これにより、書込読出端子を介してデータ記憶手段にデータが書き込まれることとなる。また、読出時には、読出用ワード線の信号論理に対応して第3スイッチ手段が読出用ビット線と第2スイッチ手段の他方の端子とを接続する。

【0031】これと並行して、第2スイッチ手段は、データ記憶手段の記憶データの信号論理に応じて二つの端子の間を接続し、あるいは非接続状態を保持する。これにより書込読出端子を介してデータ記憶手段から読出用ビット線にデータが出力されることとなる。

【0032】以上の説明のように第1スイッチ手段に接続される書込用ビット線は1本でよく、また、第3スイ

ッチ手段に接続される読出用ビット線も1本でよい。従って、従来のメモリセルと比較して半分のビット線数ですむこととなる。

【0033】請求項6記載の発明によれば、書込時には、選択された各メモリセル回路の第1スイッチ手段は、当該接続された書込用ワード線の信号論理に対応して書込用ビット線と書込端子とを接続する。

【0034】これにより、書込読出端子を介してデータ記憶手段にデータが書き込まれることとなる。また、読出時には、選択されたメモリセル回路の第3スイッチ手段は、読出用ワード線の信号論理に対応してn本の読出用ビット線のうち、対応するいずれか一の読出用ビット線と第2スイッチ手段の他方の端子とを排他的に接続する。

【0035】これと並行して当該選択されたメモリセル回路の第2スイッチ手段は、データ記憶手段の記憶データの信号論理に応じて二つの端子を接続し、あるいは非接続状態を保持する。

【0036】これにより書込読出端子を介してデータ記憶手段から読出用ビット線にデータが出力されることとなる。以上の説明のように第1スイッチ手段に接続される書込用ビット線は1本でよく、また、第3スイッチ手段に接続される読出用ビット線も1本でよい。これらの結果、書込ポートとしての第1スイッチ手段の数を増加し、あるいは、読出ポートとしての第2スイッチ手段及び第3スイッチ手段の数を増加しても増加するビット線の数従来と比較して半分となる。

【0037】請求項7記載の発明によれば、書込時には選択されたメモリセル回路の第1スイッチ手段は、接続された書込用ワード線の信号論理に基づいて書込用ビット線と記書込端子とを接続する。

【0038】これにより、書込読出端子を介してデータ記憶手段にデータが書き込まれることとなる。また、読出時には、選択されたメモリセル回路の第3スイッチ手段は、接続された読出用ワード線の信号論理に対応して前記読出用ビット線と前記第2スイッチ手段の他方の端子とを接続する。

【0039】これと並行して、当該選択されたメモリセル回路の第2スイッチ手段は、データ記憶手段の記憶データの信号論理に応じて二つの端子を接続し、あるいは非接続状態を保持する。

【0040】これにより書込読出端子を介してデータ記憶手段から読出用ビット線にデータが出力されることとなる。以上の説明のように第1スイッチ手段に接続される書込用ビット線は1本でよく、また、第3スイッチ手段に接続される読出用ビット線も1本でよい。これらの結果、書込ポートとしての第1スイッチ手段の数を増加し、あるいは、読出ポートとしての第2スイッチ手段及び第3スイッチ手段の数を増加しても増加するビット線の数従来と比較して半分となる。

【0041】

【実施例】次に図面を参照して本発明の好適な実施例を説明する。

第1実施例

図1に第1実施例のメモリセル回路の基本回路図を示す。

【0042】メモリセル回路1は、書込端子 T_w 、及び読出端子 T_r を有するデータ記憶部2と、書込用ワード線WWLにゲート端子が接続され、書込用ワード線WWLの信号論理に対応して書込用ビット線WBLと書込端子 T_w とを接続する第1NチャンネルMOSトランジスタ Q_1 と、読出端子 T_r にゲート端子が接続され、データ記憶部2の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタ Q_2 と、読出用ワード線RWLにゲート端子が接続され、読出用ワード線RWLの信号論理に対応して読出用ビット線RBLと第2NチャンネルMOSトランジスタ Q_2 のドレイン端子とを接続する第3NチャンネルMOSトランジスタ Q_3 と、を備えて構成されている。

【0043】データ記憶部2は、入力端子が書込端子 T_w に接続され、出力端子が読出端子 T_r に接続された第1インバータ INV_1 と、入力端子が読出端子 T_r に接続され、出力端子が書込端子 T_w に接続された第2インバータ INV_2 と、を備えて構成されている。

【0044】次に動作について説明する。まず、書込動作について説明する。メモリセル回路1を選択状態とすると、すなわち、書込用ワード線WWLを“H”レベルにすると、第1NチャンネルMOSトランジスタ Q_1 は、オンとなる。

【0045】これにより書込用ビット線WBLの信号論理に応じたデータがデータ記憶部2に記憶される。より具体的には、書込用ビット線WBLが“H”レベルの場合、第1インバータ INV_1 の出力は“L”レベル、第2インバータ INV_2 の出力は“H”レベルとなる。

【0046】また、書込用ビット線WBLが“L”レベルの場合、第1インバータ INV_1 の出力は“L”レベル、第2インバータ INV_2 の出力は“H”レベルとなる。次に読出動作について説明する。

【0047】メモリセル回路1を選択状態とすると、すなわち、読出用ワード線RWLを“H”レベルにすると、第3NチャンネルMOSトランジスタ Q_3 はオンとなる。この時、第1インバータ INV_1 の出力が“L”レベル、すなわち、記憶データが“H”レベルであったとすると、第2NチャンネルMOSトランジスタ Q_2 は、オフ状態を保持し、読出用ビット線RBLは“H”レベルとなり、記憶データが読み出されることとなる。

【0048】一方、第1インバータ INV_1 の出力が“H”レベル、すなわち、記憶データが“L”レベルであったとすると、第2NチャンネルMOSトランジスタ Q_2

2は、オン状態となり、読出用ビット線RBLは“L”レベル（接地レベル）となり、記憶データが読み出されることとなる。

【0049】以上の説明のように、本第1実施例によれば、書込ポートとしての第1NチャンネルMOSトランジスタに接続される書込用ビット線WBLは1本でよく、また、読出ポートとしての第3NチャンネルMOSトランジスタに接続される読出用ビット線RBLも1本でよい。従って、従来のメモリセル回路と比較して半分のビット線数ですむこととなり、回路面積を低減することができる。

第2実施例

メモリセル回路10は、書込読出端子 T_{wr} を有するデータ記憶部11と、書込用ワード線WWLにゲート端子が接続され、書込用ワード線WWLの信号論理に対応して書込用ビット線WBLと書込読出端子 T_{wr} とを接続する第1NチャンネルMOSトランジスタ Q_{11} と、書込読出端子 T_{wr} にゲート端子が接続され、データ記憶部11の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタ Q_{12} と、読出用ワード線RWLにゲート端子が接続され、読出用ワード線RWLの信号論理に対応して読出用ビット線RBLと第2NチャンネルMOSトランジスタ Q_{12} のドレイン端子とを接続する第3NチャンネルMOSトランジスタ Q_{13} と、を備えて構成されている。

【0050】データ記憶部11は、入力端子が書込読出端子 T_{wr} に接続された第1インバータ INV_{11} と、入力端子が第1インバータ INV_{11} の出力端子に接続され、出力端子が書込読出端子 T_{wr} に接続された第2インバータ INV_{12} と、を備えて構成されている。

【0051】次に動作について説明する。まず、書込動作について説明する。メモリセル回路10を選択状態とすると、すなわち、書込用ワード線WWLを“H”レベルにすると、第1NチャンネルMOSトランジスタ Q_{11} は、オンとなる。

【0052】これにより書込用ビット線WBLの信号論理に応じたデータがデータ記憶部11に記憶される。より具体的には、書込用ビット線WBLが“H”レベルの場合、第1インバータ INV_{11} の出力は“L”レベル、第2インバータ INV_{12} の出力は“H”レベルとなる。

【0053】また、書込用ビット線WBLが“L”レベルの場合、第1インバータ INV_{11} の出力は“L”レベル、第2インバータ INV_{12} の出力は“H”レベルとなる。次に読出動作について説明する。

【0054】メモリセル回路10を選択状態とすると、すなわち、読出用ワード線RWLを“H”レベルにすると、第3NチャンネルMOSトランジスタ Q_{13} はオンとなる。この時、第1インバータ INV_{11} の出力が“L”レベル、すなわち、記憶データが“H”レベルであったと

11

すると、第2インバータ INV_{12} の出力は“H”レベルとなり、第2NチャンネルMOSトランジスタ Q_{12} は、オン状態となり、読出用ビット線 RBL は“L”レベル（接地レベル）となり、記憶データの信号論理が反転されて読み出されることとなる。

【0055】一方、第1インバータ INV_{11} の出力が“H”レベル、すなわち、記憶データが“L”レベルであったとすると、第2インバータ INV_{12} の出力は“L”レベルとなり、第2NチャンネルMOSトランジスタ Q_{12} は、オフ状態を保持し、読出用ビット線 RBL は“H”レベルを保持することとなり、記憶データの信号論理が反転されて読み出されることとなる。

【0056】以上の説明のように、本第2実施例によっても、読み出される信号論理は反転するものの、第1実施例と同様に、書込ポートとしての第1NチャンネルMOSトランジスタに接続される書込用ビット線 WBL は1本でよく、また、読出ポートとしての第3NチャンネルMOSトランジスタに接続される読出用ビット線 RBL も1本でよい。従って、従来のメモリセル回路と比較して半分のビット線数で済むこととなり、回路面積を低減することができる。

第3実施例

本第3実施例は、複数の書込ポートと、複数の読出ポートを有するメモリセル回路の実施例である。

【0057】メモリセル回路20は、書込端子 T_w 及び読出端子 T_r を有するデータ記憶部21と、第1書込用ワード線 WWL にゲート端子が接続され、第1書込用ワード線 WWL の信号論理に対応して第1書込用ビット線 WBL と書込端子 T_w とを接続する第1NチャンネルMOSトランジスタ Q_{11} と、読出端子 T_r にゲート端子が接続され、データ記憶部21の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタ Q_{12} と、第1読出用ワード線 RWL にゲート端子が接続され、第1読出用ワード線 RWL の信号論理に対応して第1読出用ビット線 RBL と第2NチャンネルMOSトランジスタ Q_{12} のドレイン端子とを接続する第3NチャンネルMOSトランジスタ Q_{13} と、第2書込用ワード線 WWL_1 にゲート端子が接続され、第2書込用ワード線 WWL_1 の信号論理に対応して第2書込用ビット線 WBL_1 と書込端子 T_w とを接続する第4NチャンネルMOSトランジスタ Q_{14} と、読出端子 T_r にゲート端子が接続され、データ記憶部21の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第5NチャンネルMOSトランジスタ Q_{15} と、第2読出用ワード線 RWL_1 にゲート端子が接続され、第2読出用ワード線 RWL_1 の信号論理に対応して第2読出用ビット線 RBL_1 と第2NチャンネルMOSトランジスタ Q_{15} のドレイン端子とを接続する第6NチャンネルMOSトランジスタ Q_{16} と、を備えて構成されている。

12

タ Q_{16} と、を備えて構成されている。

【0058】データ記憶部21は、入力端子が書込端子 T_w に接続され、出力端子が読出端子 T_r に接続された第1インバータ INV_1 と、入力端子が読出端子 T_r に接続され、出力端子が書込端子 T_w に接続された第2インバータ INV_2 と、を備えて構成されている。

【0059】次に動作について説明する。まず、第1書込ポートを用いた書込動作について説明する。メモリセル回路20を第1書込ポートを介して選択状態とすると、すなわち、第1書込用ワード線 WWL を“H”レベルにすると、第1NチャンネルMOSトランジスタ Q_{11} は、オンとなる。

【0060】これにより第1書込用ビット線 WBL の信号論理に応じたデータがデータ記憶部21に記憶される。より具体的には、第1書込用ビット線 WBL が“H”レベルの場合、第1インバータ INV_1 の出力は“L”レベル、第2インバータ INV_2 の出力は“H”レベルとなる。

【0061】また、第1書込用ビット線 WBL が“L”レベルの場合、第1インバータ INV_1 の出力は“L”レベル、第2インバータ INV_2 の出力は“H”レベルとなる。

【0062】第2書込ポートを用いた書込動作については、同様であるので、詳細な説明は省略する。次に第2読出ポートを用いた読出動作について説明する。

【0063】メモリセル回路20を選択状態とすると、すなわち、第2読出用ワード線 RWL_1 を“H”レベルにすると、第6NチャンネルMOSトランジスタ Q_{16} はオンとなる。

【0064】この時、第1インバータ INV_1 の出力が“L”レベル、すなわち、記憶データが“H”レベルであったとすると、第2NチャンネルMOSトランジスタ Q_{12} は、オフ状態を保持し、第2読出用ビット線 RBL_1 は“H”レベルとなり、記憶データが読み出されることとなる。

【0065】一方、第1インバータ INV_1 の出力が“H”レベル、すなわち、記憶データが“L”レベルであったとすると、第5NチャンネルMOSトランジスタ Q_{15} は、オン状態となり、第6NチャンネルMOSトランジスタ Q_{16} を介して第2読出用ビット線 RBL_1 は“L”レベル（接地レベル）となり、記憶データが読み出されることとなる。

【0066】第1読出ポートを用いた書込動作については、同様であるので、詳細な説明は省略する。以上の説明のように、本第3実施例によれば、各書込ポート、すなわち、第1NチャンネルMOSトランジスタに接続される書込用ビット線 WBL は1本でよく、また、各読出ポート、すなわち、第3NチャンネルMOSトランジスタに接続される読出用ビット線 RBL も1本でよい。従って、従来のメモリセル回路と比較して半分のビット線数

ですむこととなり、回路面積を低減することができる。

第4実施例

本第4実施例は、従来例において列選択回路を用いるような回路構成を採る場合に好適なメモリセル回路において、ビット線数を削減する実施例であり、2個の隣接するデータ記憶部を一のメモリセル回路として構成している。

【0067】図4に第4実施例のメモリセル回路の基本構成図を示す。この場合において、列選択回路としては1/2列選択回路を用いている。メモリセル回路30は、第1書込端子 T_{w0} 及び第1読出端子 T_{r0} を有する第1データ記憶部31。と、第1書込用ワード線 WWL_0 。にゲート端子が接続され、第1書込用ワード線 WWL_0 。の信号論理に対応して書込用ビット線 WBL と書込端子 T_{w0} とを接続する第1NチャンネルMOSトランジスタ Q_{j1} と、読出端子 T_{r0} にゲート端子が接続され、データ記憶部31の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタ Q_{j2} と、第1読出用ワード線 RWL_0 。にゲート端子が接続され、第1読出用ワード線 RWL_0 。の信号論理に対応して第1読出用ビット線 RBL_0 。と第2NチャンネルMOSトランジスタ Q_{j2} のドレイン端子とを接続する第3NチャンネルMOSトランジスタ Q_{j3} と、第2書込端子 T_{w1} 及び第2読出端子 T_{r1} を有する第2データ記憶部31。と、第2書込用ワード線 WWL_1 。にゲート端子が接続され、第2書込用ワード線 WWL_1 。の信号論理に対応して書込用ビット線 WBL と書込端子 T_{w1} とを接続する第1NチャンネルMOSトランジスタ Q_{j4} と、読出端子 T_{r1} にゲート端子が接続され、データ記憶部31。の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタ Q_{j5} と、第2読出用ワード線 RWL_1 。にゲート端子が接続され、第1読出用ワード線 RWL_1 。の信号論理に対応して第2読出用ビット線 RBL_1 。と第2NチャンネルMOSトランジスタ Q_{j5} のドレイン端子とを接続する第3NチャンネルMOSトランジスタ Q_{j6} と、外部からの列選択切換信号 CD 及び反転列選択切換信号 XCD に基づいて第1読出ビット線 RBL_0 。あるいは第2読出用ビット線 RBL_1 。のいずれかを排他的に選択し、切り換えて選択読出端子 T_{sel} を介して読出信号線 DOT に接続する第1トランスファergeート TG_1 。及び第2トランスファergeート TG_2 と、を備えて構成されている。

【0068】第1データ記憶部31。は、入力端子が書込端子 T_{w0} に接続され、出力端子が読出端子 T_{r0} に接続された第1インバータ INV_1 と、入力端子が読出端子 T_{r0} に接続され、出力端子が書込端子 T_{w0} に接続された第2インバータ INV_2 と、を備えて構成され、第2データ記憶部31。は、入力端子が書込端子 T_{w1} に接続さ

れ、出力端子が読出端子 T_{r1} に接続された第1インバータ INV_1 と、入力端子が読出端子 T_{r1} に接続され、出力端子が書込端子 T_{w1} に接続された第2インバータ INV_2 と、を備えて構成されている。

【0069】次に第1データ記憶部31。への書込動作について説明する。第1データ記憶部31。側を選択状態とすると、すなわち、第1書込用ワード線 WWL_0 。を“H”レベルにすると、第1NチャンネルMOSトランジスタ Q_{j1} は、オンとなる。

【0070】これにより書込用ビット線 WBL の信号論理に応じたデータが第1データ記憶部31。に記憶される。より具体的には、書込用ビット線 WBL が“H”レベルの場合、第1インバータ INV_1 の出力は“L”レベル、第2インバータ INV_2 の出力は“H”レベルとなる。

【0071】また、書込用ビット線 WBL が“L”レベルの場合、第1インバータ INV_1 の出力は“L”レベル、第2インバータ INV_2 の出力は“H”レベルとなる。第2データ記憶部31。への書込動作については、同様であるので、詳細な説明は省略する。

【0072】次に第1データ記憶部31。の読出動作について説明する。まず、第1データ記憶部31。の読出動作を行うに先立ち、列選択切換信号 CD 及び反転列選択切換信号 XCD により、第1トランスファergeート TG_1 。をオン（閉状態）とし、第2トランスファergeート TG_2 。をオフ（開状態）とし、第1読出用ビット線 RBL_0 。を選択読出端子 T_{sel} を介して読出信号線 DOT に接続する。

【0073】第1データ記憶部31。側を選択状態とすると、すなわち、第1読出用ワード線 RWL_0 。を“H”レベルにすると、第3NチャンネルMOSトランジスタ Q_{j3} はオンとなる。

【0074】この時、第1インバータ INV_1 の出力が“L”レベル、すなわち、記憶データが“H”レベルであったとすると、第2NチャンネルMOSトランジスタ Q_{j2} は、オフ状態を保持し、第1読出用ビット線 RBL_0 。は“H”レベルとなり、記憶データが選択読出端子 T_{sel} 及び読出信号線 DOT を介して読み出されることとなる。

【0075】一方、第1インバータ INV_1 の出力が“H”レベル、すなわち、記憶データが“L”レベルであったとすると、第2NチャンネルMOSトランジスタ Q_{j2} は、オン状態となり、第3NチャンネルMOSトランジスタ Q_{j3} を介して第1読出用ビット線 RBL_0 。は“L”レベル（接地レベル）となり、記憶データが選択読出端子 T_{sel} 及び読出信号線 DOT を介して読み出されることとなる。

【0076】第2データ記憶部31。の読出動作については、同様であるので、詳細な説明は省略する。以上の説明のように、本第4実施例によれば、書込用ビット線

WBLは二つのデータ記憶部あたり1本でよく、また、各データ記憶部に接続される読出用ビット線RBLもそれぞれ1本でよい。従って、従来のメモリセル回路と比較して書込用ビット線の本数は1/4本ですむこととなり、回路面積を低減することができるとともに、データ書込時に充電すべき書込用ビット線数が減少しているため消費電力を低減することが可能となる。

第5実施例

本第5実施例は、書込用ビット線及び読出用ビット線の双方を低減することが可能な実施例である。

【0077】図5に第5実施例のメモリセル回路の基本構成図を示す。メモリセル回路40は、第1書込端子 T_{w0} 及び第1読出端子 T_{r0} を有する第1データ記憶部41と、第1書込用ワード線WWL₁にゲート端子が接続され、第1書込用ワード線WWL₁の信号論理に対応して書込用ビット線WBLと書込端子 T_{w0} とを接続する第1NチャンネルMOSトランジスタ Q_{n1} と、読出端子 T_{r0} にゲート端子が接続され、データ記憶部41の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタ Q_{n2} と、第1読出用ワード線RWL₁にゲート端子が接続され、第1読出用ワード線RWL₁の信号論理に対応して第読出用ビット線RBLと第2NチャンネルMOSトランジスタ Q_{n2} のドレイン端子とを接続する第3NチャンネルMOSトランジスタ Q_{n3} と、第2書込端子 T_{w1} 及び第2読出端子 T_{r1} を有する第2データ記憶部41₁と、第2書込用ワード線WWL₁にゲート端子が接続され、第2書込用ワード線WWL₁の信号論理に対応して書込用ビット線WBLと書込端子 T_{w1} とを接続する第1NチャンネルMOSトランジスタ Q_{n4} と、読出端子 T_{r1} にゲート端子が接続され、データ記憶部41₁の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタ Q_{n5} と、第2読出用ワード線RWL₁にゲート端子が接続され、第1読出用ワード線RWL₁の信号論理に対応して読出用ビット線RBLと第2NチャンネルMOSトランジスタ Q_{n5} のドレイン端子とを接続する第3NチャンネルMOSトランジスタ Q_{n6} と、を備えて構成されている。

【0078】第1データ記憶部41は、入力端子が書込端子 T_{w0} に接続され、出力端子が読出端子 T_{r0} に接続された第1インバータINV₁と、入力端子が読出端子 T_{r0} に接続され、出力端子が書込端子 T_{w0} に接続された第2インバータINV₂と、を備えて構成され、第2データ記憶部41₁は、入力端子が書込端子 T_{w1} に接続され、出力端子が読出端子 T_{r1} に接続された第1インバータINV₁と、入力端子が読出端子 T_{r1} に接続され、出力端子が書込端子 T_{w1} に接続された第2インバータINV₂と、を備えて構成されている。

【0079】次に第1データ記憶部41への書込動作

について説明する。第1データ記憶部41。側を選択状態とすると、すなわち、第1書込用ワード線WWL₁を“H”レベルにすると、第1NチャンネルMOSトランジスタ Q_{n1} は、オンとなる。

【0080】これにより書込用ビット線WBLの信号論理に応じたデータが第1データ記憶部41に記憶される。より具体的には、書込用ビット線WBLが“H”レベルの場合、第1インバータINV₁の出力は“L”レベル、第2インバータINV₂の出力は“H”レベルとなる。

【0081】また、書込用ビット線WBLが“L”レベルの場合、第1インバータINV₁の出力は“L”レベル、第2インバータINV₂の出力は“H”レベルとなる。第2データ記憶部41₁への書込動作については、同様であるので、詳細な説明は省略する。

【0082】次に第1データ記憶部41の読出動作について説明する。第1データ記憶部41。側を選択状態とすると、すなわち、第1読出用ワード線RWL₁を“H”レベルにすると、第3NチャンネルMOSトランジスタ Q_{n3} はオンとなる。

【0083】この時、第1インバータINV₁の出力が“L”レベル、すなわち、記憶データが“H”レベルであったとすると、第2NチャンネルMOSトランジスタ Q_{n2} は、オフ状態を保持し、読出用ビット線RBLは“H”レベルとなり、記憶データが選択読出端子 T_{sel} 及び読出信号線DOTを介して読み出されることとなる。

【0084】一方、第1インバータINV₁の出力が“H”レベル、すなわち、記憶データが“L”レベルであったとすると、第2NチャンネルMOSトランジスタ Q_{n2} は、オン状態となり、第3NチャンネルMOSトランジスタ Q_{n3} を介して読出用ビット線RBLは“L”レベル（接地レベル）となり、記憶データが選択読出端子 T_{se} 及び読出信号線DOTを介して読み出されることとなる。

【0085】第2データ記憶部41₁の読出動作については、同様であるので、詳細な説明は省略する。以上の説明のように、本第5実施例によれば、書込用ビット線WBL及び読出用ビット線RBLは二つのデータ記憶部あたりそれぞれ1本でよい。従って、従来のメモリセル回路と比較して書込用ビット線の本数は1/4本ですむこととなり、回路面積を低減することができるとともに、データ書込時に充電すべき書込用ビット線数が減少しているため消費電力を低減することが可能となる。

第6実施例

図6に書込ポート数=2、読出ポート数=4のマルチポートメモリ回路の基本構成図を示す。

【0086】マルチポートメモリ回路50は、大別すると、第1メモリセル回路部50A及び第2メモリセル回路部50Bを備えて構成されている。第1メモリセル回

路部50Aは、第1書込端子 T_{w0} 及び第1読出端子 T_{r0} を有する第1データ記憶部51。と、第1書込用ワード線 WWL_0 にゲート端子が接続され、第1書込用ワード線 WWL_0 の信号論理に対応して第1書込用ビット線 WBL_0 と第1書込端子 T_{w0} とを接続する第1NチャンネルMOSトランジスタ Q_{s1A} と、第3書込用ワード線 WWL_1 にゲート端子が接続され、第3書込用ワード線 WWL_1 の信号論理に対応して第2書込用ビット線 WBL_1 と第1書込端子 T_{w0} とを接続する第2NチャンネルMOSトランジスタ Q_{s1B} と、第1読出端子 T_{r0} にゲート端子が接続され、第1データ記憶部51。の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第3NチャンネルMOSトランジスタ Q_{s2A} と、第1読出用ワード線 RWL_0 にゲート端子が接続され、第1読出用ワード線 RWL_0 の信号論理に対応して第1読出用ビット線 RBL_0 と第3NチャンネルMOSトランジスタ Q_{s2A} のドレイン端子とを接続する第4NチャンネルMOSトランジスタ Q_{s3A} と、第1読出端子 T_{r0} にゲート端子が接続され、第1データ記憶部51。の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第5NチャンネルMOSトランジスタ Q_{s2B} と、第3読出用ワード線 RWL_1 にゲート端子が接続され、第3読出用ワード線 RWL_1 の信号論理に対応して第2読出用ビット線 RBL_1 と第5NチャンネルMOSトランジスタ Q_{s2B} のドレイン端子とを接続する第6NチャンネルMOSトランジスタ Q_{s3B} と、第1読出端子 T_{r0} にゲート端子が接続され、第1データ記憶部51。の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第7NチャンネルMOSトランジスタ Q_{s2C} と、第5読出用ワード線 RWL_2 にゲート端子が接続され、第5読出用ワード線 RWL_2 の信号論理に対応して第3読出用ビット線 RBL_2 と第7NチャンネルMOSトランジスタ Q_{s2C} のドレイン端子とを接続する第8NチャンネルMOSトランジスタ Q_{s3C} と、第1読出端子 T_{r0} にゲート端子が接続され、第1データ記憶部51。の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第9NチャンネルMOSトランジスタ Q_{s2D} と、第7読出用ワード線 RWL_3 にゲート端子が接続され、第7読出用ワード線 RWL_3 の信号論理に対応して第4読出用ビット線 RBL_3 と第9NチャンネルMOSトランジスタ Q_{s2D} のドレイン端子とを接続する第10NチャンネルMOSトランジスタ Q_{s3D} と、を備えて構成されている。

【0087】第2メモリセル回路部50Bは、第2書込端子 T_{w1} 及び第2読出端子 T_{r1} を有する第2データ記憶部51。と、第2書込用ワード線 WWL_1 にゲート端子が接続され、第2書込用ワード線 WWL_1 の信号論理に

対応して第1書込用ビット線 WBL_1 と第2書込端子 T_{w1} とを接続する第11NチャンネルMOSトランジスタ Q_{s4A} と、第4書込用ワード線 WWL_1 にゲート端子が接続され、第4書込用ワード線 WWL_1 の信号論理に対応して第2書込用ビット線 WBL_1 と第2書込端子 T_{w1} とを接続する第12NチャンネルMOSトランジスタ Q_{s4B} と、第2読出端子 T_{r1} にゲート端子が接続され、第2データ記憶部51。の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第13NチャンネルMOSトランジスタ Q_{s5A} と、第2読出用ワード線 RWL_1 にゲート端子が接続され、第2読出用ワード線 RWL_1 の信号論理に対応して第1読出用ビット線 RBL_1 と第13NチャンネルMOSトランジスタ Q_{s5A} のドレイン端子とを接続する第14NチャンネルMOSトランジスタ Q_{s6A} と、第2読出端子 T_{r1} にゲート端子が接続され、第2データ記憶部51。の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第15NチャンネルMOSトランジスタ Q_{s5B} と、第4読出用ワード線 RWL_1 にゲート端子が接続され、第4読出用ワード線 RWL_1 の信号論理に対応して第2読出用ビット線 RBL_1 と第15NチャンネルMOSトランジスタ Q_{s5B} のドレイン端子とを接続する第16NチャンネルMOSトランジスタ Q_{s6B} と、第2読出端子 T_{r1} にゲート端子が接続され、第2データ記憶部51。の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第17NチャンネルMOSトランジスタ Q_{s5C} と、第6読出用ワード線 RWL_2 にゲート端子が接続され、第6読出用ワード線 RWL_2 の信号論理に対応して第3読出用ビット線 RBL_2 と第17NチャンネルMOSトランジスタ Q_{s5C} のドレイン端子とを接続する第18NチャンネルMOSトランジスタ Q_{s6C} と、第2読出端子 T_{r1} にゲート端子が接続され、第2データ記憶部51。の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第19NチャンネルMOSトランジスタ Q_{s5D} と、第8読出用ワード線 RWL_3 にゲート端子が接続され、第8読出用ワード線 RWL_3 の信号論理に対応して第4読出用ビット線 RBL_3 と第19NチャンネルMOSトランジスタ Q_{s5D} のドレイン端子とを接続する第20NチャンネルMOSトランジスタ Q_{s6D} と、を備えて構成されている。

【0088】次に動作説明の一例として、第1書込ポートとしての第1NチャンネルMOSトランジスタ Q_{s1A} を介して第1データ記憶部51。へデータを書込む書込動作について説明する。

【0089】第1データ記憶部51。側を選択状態とすると、すなわち、第1書込用ワード線 WWL_0 を“H”レベルにすると、第1NチャンネルMOSトランジスタ Q

s_{1A} は、オンとなる。

【0090】これにより第1書込用ビット線WBL₁の信号論理に応じたデータが第1データ記憶部51に記憶される。より具体的には、第1書込用ビット線WBL₁が“H”レベルの場合、第1インバータINV₁の出力は“L”レベル、第2インバータINV₂の出力は“H”レベルとなる。

【0091】また、第1書込用ビット線WBL₁が“L”レベルの場合、第1インバータINV₁の出力は“L”レベル、第2インバータINV₂の出力は“H”レベルとなる。

【0092】第1書込ポートとしての第1NチャンネルMOSトランジスタQ_{1A}を介して第1データ記憶部51へデータを書込む書込動作及び第2データ記憶部51への書込動作については、同様であるので、詳細な説明は省略する。

【0093】次に第2データ記憶部51から第3読出ポートである第17NチャンネルMOSトランジスタQ_{3C}及び第18NチャンネルMOSトランジスタQ_{3E}を介してデータを読み出す読出動作について説明する。

【0094】第2データ記憶部51側を選択状態とすると、すなわち、第6読出用ワード線RWL₂₁を“H”レベルにすると、第18NチャンネルMOSトランジスタQ_{3E}はオンとなる。

【0095】この時、第1インバータINV₁の出力が“L”レベル、すなわち、記憶データが“H”レベルであったとすると、第17NチャンネルMOSトランジスタQ_{3C}は、オフ状態を保持し、第3読出用ビット線RBL₂は“H”レベルとなり、記憶データが読み出されることとなる。

【0096】一方、第1インバータINV₁の出力が“H”レベル、すなわち、記憶データが“L”レベルであったとすると、第17NチャンネルMOSトランジスタQ_{3C}は、オン状態となり、第18NチャンネルMOSトランジスタQ_{3E}を介して第3読出用ビット線RBL₂は“L”レベル（接地レベル）となり、記憶データが読み出されることとなる。

【0097】第2データ記憶部51からの他の読出ポートを用いた読出動作及び第1データ記憶部51側の読出動作については、同様であるので、詳細な説明は省略する。

【0098】以上の説明のように、本第5実施例によれば、書込用ビット線WBL及び読出用ビット線RBLは二つのデータ記憶部あたりそれぞれ1本でよい。従って、同一の機能を有する従来のメモリセル回路（ビット線数24本）と比較して書込用ビット線の本数は1/4の6本ですむこととなり、回路面積を低減することができるとともに、データ書込時に充電すべき書込用ビット線数が減少しているため消費電力を低減することが可能となる。

第7実施例

図7に第7実施例のマルチポートメモリ回路60の基本構成図を示す。図7において、図6と原理的に同一の部分には同一の符号を付し、その詳細な説明を省略する。

【0099】上記第6実施例においては、読出ポート及び書込ポートでそれぞれワード線を2重化していたが、本第7実施例は、書込ポートのワード線のみを2重化し、読出用ワード線数を減らし（RWL₀～RWL₃の4本に減少）、読出用ビット線数を増加（RBL₀₀～RBL₃₁の8本に増加）させることにより、ワード線数及びビット線数を調整し、レイアウト上の問題点を解決するものである。

【0100】動作については第6実施例と同様であるので、詳細な説明を省略する。

第8実施例

図8に1/2列選択回路を有し、2ワード×2ビット構成としたマルチポートメモリ回路の基本構成図を示す。

【0101】マルチポートメモリ回路70は、大別すると、第1メモリセル回路部70Aと、第2メモリセル回路部70Bと、を備えて構成されている。第1メモリセル回路部70Aは、第1書込端子T_{W0}及び第1読出端子T_{R0}を有する第1データ記憶部71と、第1書込用ワード線WWL₀₀にゲート端子が接続され、第1書込用ワード線WWL₀₀の信号論理に対応して第1書込用ビット線WBL₀と書込端子T_{W0}とを接続する第1NチャンネルMOSトランジスタQ_{1A}と、読出端子T_{R0}にゲート端子が接続され、データ記憶部31の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタQ_{2A}と、第1読出用ワード線RWL₀にゲート端子が接続され、第1読出用ワード線RWL₀の信号論理に対応して第1読出用ビット線RBL₀と第2NチャンネルMOSトランジスタQ_{2A}のドレイン端子とを接続する第3NチャンネルMOSトランジスタQ_{3A}と、第2書込端子T_{W1}及び第2読出端子T_{R1}を有する第2データ記憶部71と、第2書込用ワード線WWL₀₁にゲート端子が接続され、第2書込用ワード線WWL₀₁の信号論理に対応して第1書込用ビット線WBL₀と書込端子T_{W1}とを接続する第1NチャンネルMOSトランジスタQ_{1A}と、読出端子T_{R1}にゲート端子が接続され、データ記憶部71の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタQ_{2A}と、第1読出用ワード線RWL₀にゲート端子が接続され、第1読出用ワード線RWL₀の信号論理に対応して第2読出用ビット線RBL₁と第2NチャンネルMOSトランジスタQ_{2A}のドレイン端子とを接続する第3NチャンネルMOSトランジスタQ_{3A}と、第1書込端子T_{W0}及び第1読出端子T_{R0}を有する第1データ記憶部72と、第3書込用ワード線WWL₁₀にゲート

ト端子が接続され、第3書込用ワード線WWL₁₀の信号論理に対応して第1書込用ビット線WBL₁と書込端子T₇₀とを接続する第1NチャンネルMOSトランジスタQ₇₁₀と、読出端子T₈₀にゲート端子が接続され、第1データ記憶部72₀の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタQ₇₂₀と、第2読出用ワード線RWL₁にゲート端子が接続され、第2読出用ワード線RWL₁の信号論理に対応して第1読出用ビット線RBL₁と第2NチャンネルMOSトランジスタQ₇₂₀のドレイン端子とを接続する第3NチャンネルMOSトランジスタQ₇₃₀と、第2書込端子T₇₁及び第2読出端子T₈₁を有する第2データ記憶部72₁と、第4書込用ワード線WWL₁₁にゲート端子が接続され、第4書込用ワード線WWL₁₁の信号論理に対応して第1書込用ビット線WBL₁と書込端子T₇₁とを接続する第1NチャンネルMOSトランジスタQ₇₄₀と、読出端子T₈₁にゲート端子が接続され、データ記憶部72₁の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタQ₇₅₀と、第1読出用ワード線RWL₁にゲート端子が接続され、第2読出用ワード線RWL₁の信号論理に対応して第2読出用ビット線RBL₁と第2NチャンネルMOSトランジスタQ₇₅₀のドレイン端子とを接続する第3NチャンネルMOSトランジスタQ₇₆₀と、外部からの列選択切換信号CD及び反転列選択切換信号XCDに基づいて第1読出ビット線RBL₁あるいは第2読出用ビット線RBL₁のいずれかを排他的に選択し、切り換えて選択読出端子T_{SEL1}を介して読出信号線DOT₁に接続する第1トランスファークゲートTG₁₁及び第2トランスファークゲートTG₁₂と、を備えて構成されている。

【0102】第2メモリセル回路部70Bは、第1書込端子T₇₀及び第1読出端子T₈₀を有する第1データ記憶部73₀と、第1書込用ワード線WWL₀₀にゲート端子が接続され、第1書込用ワード線WWL₀₀の信号論理に対応して第2書込用ビット線WBL₁と書込端子T₇₀とを接続する第1NチャンネルMOSトランジスタQ₇₁₀と、読出端子T₈₀にゲート端子が接続され、データ記憶部31の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタQ₇₂₀と、第1読出用ワード線RWL₁にゲート端子が接続され、第1読出用ワード線RWL₁の信号論理に対応して第3読出用ビット線RBL₁と第2NチャンネルMOSトランジスタQ₇₂₀のドレイン端子とを接続する第3NチャンネルMOSトランジスタQ₇₃₀と、第2書込端子T₇₁及び第2読出端子T₈₁を有する第2データ記憶部73₁と、第2書込用ワード線WWL₀₁にゲート端子が接続され、第2書込用ワード線WWL₀₁の信号論理に対応

して第2書込用ビット線WBL₁と書込端子T₇₁とを接続する第1NチャンネルMOSトランジスタQ₇₄₀と、読出端子T₈₁にゲート端子が接続され、第2データ記憶部73₁の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタQ₇₅₀と、第1読出用ワード線RWL₁にゲート端子が接続され、第1読出用ワード線RWL₁の信号論理に対応して第4読出用ビット線RBL₁と第2NチャンネルMOSトランジスタQ₇₅₀のドレイン端子とを接続する第3NチャンネルMOSトランジスタQ₇₆₀と、第1書込端子T₇₀及び第1読出端子T₈₀を有する第1データ記憶部74₀と、第3書込用ワード線WWL₁₀にゲート端子が接続され、第3書込用ワード線WWL₁₀の信号論理に対応して第2書込用ビット線WBL₁と書込端子T₇₀とを接続する第1NチャンネルMOSトランジスタQ₇₁₀と、読出端子T₈₀にゲート端子が接続され、データ記憶部31の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタQ₇₂₀と、第2読出用ワード線RWL₁にゲート端子が接続され、第2読出用ワード線RWL₁の信号論理に対応して第3読出用ビット線RBL₁と第2NチャンネルMOSトランジスタQ₇₂₀のドレイン端子とを接続する第3NチャンネルMOSトランジスタQ₇₃₀と、第2書込端子T₇₁及び第2読出端子T₈₁を有する第2データ記憶部74₁と、第4書込用ワード線WWL₁₁にゲート端子が接続され、第4書込用ワード線WWL₁₁の信号論理に対応して第2書込用ビット線WBL₁と書込端子T₇₁とを接続する第1NチャンネルMOSトランジスタQ₇₄₀と、読出端子T₈₁にゲート端子が接続され、第2データ記憶部74₁の記憶データの信号論理に応じてソース端子及びドレイン端子の間の接続を行うとともに、ソース端子が接地された第2NチャンネルMOSトランジスタQ₇₅₀と、第1読出用ワード線RWL₁にゲート端子が接続され、第2読出用ワード線RWL₁の信号論理に対応して第4読出用ビット線RBL₁と第2NチャンネルMOSトランジスタQ₇₅₀のドレイン端子とを接続する第3NチャンネルMOSトランジスタQ₇₆₀と、外部からの列選択切換信号CD及び反転列選択切換信号XCDに基づいて第3読出ビット線RBL₁あるいは第4読出用ビット線RBL₁のいずれかを排他的に選択し、切り換えて選択読出端子T_{SEL2}を介して読出信号線DOT₁に接続する第1トランスファークゲートTG₂₁及び第2トランスファークゲートTG₂₂と、を備えて構成されている。

【0103】次に動作説明の一例として、第1書込ポートとしての第1NチャンネルMOSトランジスタQ₇₁₀を介して第1データ記憶部71₀へデータを書込む書込動作について説明する。

【0104】第1データ記憶部71₀側を選択状態とす

ると、すなわち、第1書込用ワード線WWL₀を“H”レベルにすると、第1NチャンネルMOSトランジスタQ_{71A}は、オンとなる。

【0105】これにより第1書込用ビット線WBL₀の信号論理に応じたデータが第1データ記憶部71₀に記憶される。より具体的には、第1書込用ビット線WBL₀が“H”レベルの場合、第1インバータINV₁の出力は“L”レベル、第2インバータINV₂の出力は“H”レベルとなる。

【0106】また、第1書込用ビット線WBL₀が“L”レベルの場合、第1インバータINV₁の出力は“L”レベル、第2インバータINV₂の出力は“H”レベルとなる。

【0107】第1データ記憶部72₀、73₀、74₀及び第2データ記憶部71₁、72₁、73₁、74₁への書込動作については、同様であるので、詳細な説明は省略する。

【0108】次に第2データ記憶部74₁から読出ポートである第2NチャンネルMOSトランジスタQ₇₂₀及び第3NチャンネルMOSトランジスタQ₇₃₀を介してデータを読み出す読出動作について説明する。

【0109】まず、第2データ記憶部74₁の読出動作を行うに先立ち、列選択切換信号CD及び反転列選択切換信号XCDにより、第1トランスファークゲートTG₂₁をオフ（開状態）とし、第2トランスファークゲートTG₂₂をオン（閉状態）とし、第2読出用ビット線RBL₁を選択読出端子T_{SEL2}を介して読出信号線DOT₁に接続する。

【0110】第2データ記憶部74₁側を選択状態とすると、すなわち、第2読出用ワード線RWL₁を“H”レベルにすると、第3NチャンネルMOSトランジスタQ₇₆₀はオンとなる。

【0111】この時、第1インバータINV₁の出力が“L”レベル、すなわち、記憶データが“H”レベルであったとすると、第2NチャンネルMOSトランジスタQ₇₅₀は、オフ状態を保持し、第2読出用ビット線RBL₁は“H”レベルとなり、記憶データが選択読出端子T_{SEL2}及び読出信号線DOT₁を介して読み出されることとなる。

【0112】一方、第1インバータINV₁の出力が“H”レベル、すなわち、記憶データが“L”レベルであったとすると、第2NチャンネルMOSトランジスタQ₇₅₀は、オン状態となり、第3NチャンネルMOSトランジスタQ₇₆₀を介して第2読出用ビット線RBL₁は“L”レベル（接地レベル）となり、記憶データが選択読出端子T_{SEL2}及び読出信号線DOT₁を介して読み出されることとなる。

【0113】第1データ記憶部71₀、72₀、73₀、74₀及び第2データ記憶部71₁、72₁、73₁の読出動作については、同様であるので、詳細な説

明は省略する。

【0114】以上の説明のように、本第8実施例によれば、書込用ビット線は1/2列あたり1本でよく、また、各データ記憶部に接続される読出用ビット線RBLもそれぞれ1本でよい。従って、従来のメモリセル回路と比較して書込用ビット線の本数は1/4本ですむこととなり、回路面積を低減することができるとともに、データ書込時に充電すべき書込用ビット線数が減少しているため消費電力を低減することが可能となる。

10 【0115】上記第4実施例及び第8実施例においては、列選択回路として1/2列選択回路を用いていたが、1/4列選択回路、1/8列選択回路等を用いることも同様にして可能である。

【0116】

【発明の効果】本発明のメモリセル回路あるいはマルチポート半導体記憶装置によれば、メモリセル1ビット当りのビット線数を削減することができ、メモリセル回路ひいてはマルチポート半導体記憶装置全体の面積を小さくすることができる。この結果、マルチポート半導体記憶装置の高集積化が可能となるとともに、配線長が短くなる等により配線容量等を減少させて高速化が可能となる。

【0117】また、書込動作及び読出動作に関与するビット線数を削減することができるので、書込動作及び読出動作に伴う充放電電流を抑制することができ、消費電力の低減を図ることができる。

【図面の簡単な説明】

【図1】第1実施例のメモリセル回路の基本構成図である。

30 【図2】第2実施例のメモリセル回路の基本構成図である。

【図3】第3実施例のメモリセル回路の基本構成図である。

【図4】第4実施例のメモリセル回路の基本構成図である。

【図5】第5実施例のメモリセル回路の基本構成図である。

【図6】第6実施例のマルチポートメモリ回路の基本構成図である。

40 【図7】第7実施例のマルチポートメモリ回路の基本構成図である。

【図8】第8実施例のマルチポートメモリ回路の基本構成図である。

【図9】従来のメモリセル回路の基本構成図である。

【図10】従来のマルチポートメモリ回路の基本構成図である。

【符号の説明】

1、10、20、30、40…メモリセル回路

2、11、21、31、41…データ記憶部

31、41、51、71、72、73、7

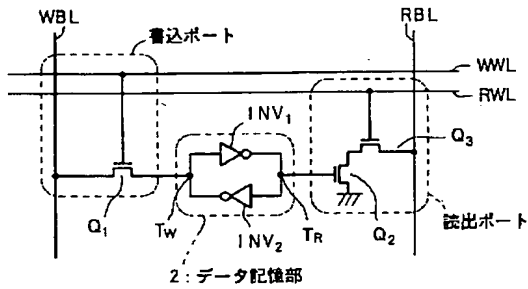
4₀ …第1データ記憶部
 31₁、41₁、51₁、71₁、72₁、73₁、74₁ …第2データ記憶部
 50、70 …マルチポートメモリ回路
 50A、70A …第1メモリセル回路部
 50B、70B …第2メモリセル回路部
 CD …列選択切換信号
 DOT₀、DOT₁ …読出信号線
 INV₁、INV₁₁ …第1インバータ
 INV₂、INV₁₂ …第2インバータ
 Q₁、Q₁₁、Q₂₁、Q₃₁、Q₃₄、Q₄₁ …第1NチャネルMOSトランジスタ
 Q₄₄、Q_{51A}、Q_{71A}、Q_{74A}、Q_{71B} …第1NチャネルMOSトランジスタ
 Q_{74B}、Q_{71C}、Q_{74C}、Q_{71D}、Q_{74D} …第1NチャネルMOSトランジスタ
 Q₂、Q₁₂、Q₂₂、Q₃₂、Q₃₅、Q₄₂ …第2NチャネルMOSトランジスタ
 Q₄₅、Q_{51B}、Q_{72A}、Q_{75A}、Q_{72B} …第2NチャネルMOSトランジスタ
 Q_{75B}、Q_{72C}、Q_{75C}、Q_{72D}、Q_{75D} …第2NチャネルMOSトランジスタ
 Q₃、Q₁₃、Q₂₃、Q₃₃、Q₃₆、Q₄₃ …第3NチャネルMOSトランジスタ
 Q₄₆、Q_{52A}、Q_{73A}、Q_{76A}、Q_{73B} …第3NチャネルMOSトランジスタ
 Q_{76B}、Q_{73C}、Q_{76C}、Q_{73D}、Q_{76D} …第3NチャネルMOSトランジスタ
 Q₂₄、Q_{53A} …第4NチャネルMOSトランジスタ
 Q₂₅、Q_{52B} …第5NチャネルMOSトランジスタ
 Q₂₆、Q_{53B} …第6NチャネルMOSトランジスタ
 Q_{52C} …第7NチャネルMOSトランジスタ
 Q_{53C} …第8NチャネルMOSトランジスタ
 Q_{52D} …第9NチャネルMOSトランジスタ
 Q_{53D} …第10NチャネルMOSトランジスタ
 Q_{54A} …第11NチャネルMOSトランジスタ
 Q_{54B} …第12NチャネルMOSトランジスタ
 Q_{55A} …第13NチャネルMOSトランジスタ
 Q_{56A} …第14NチャネルMOSトランジスタ
 Q_{55B} …第15NチャネルMOSトランジスタ

Q_{56B} …第16NチャネルMOSトランジスタ
 Q_{55C} …第17NチャネルMOSトランジスタ
 Q_{56C} …第18NチャネルMOSトランジスタ
 Q_{55D} …第19NチャネルMOSトランジスタ
 Q_{56D} …第20NチャネルMOSトランジスタ
 RBL …読出用ビット線
 RBL₀ …第1読出用ビット線
 RBL₁ …第2読出用ビット線
 RBL₂ …第3読出用ビット線
 10 RBL₃ …第4読出用ビット線
 RWL …読出用ワード線
 RWL₀ …第1読出用ワード線
 RWL₁ …第2読出用ワード線
 RWL₀₀ …第1読出用ワード線
 RWL₀₁ …第2読出用ワード線
 RWL₁₁ …第3読出用ワード線
 RWL₁₁ …第4読出用ワード線
 RWL₂₀ …第5読出用ワード線
 RWL₂₁ …第6読出用ワード線
 20 RWL₃₀ …第7読出用ワード線
 RWL₃₁ …第8読出用ワード線
 TG₁、TG₁₁、TG₂₁ …第1トランスファークローク
 TG₂、TG₁₂、TG₂₂ …第2トランスファークローク
 T_R …読出端子
 T_{R0} …第1読出端子
 T_w …書込端子
 T_{w0} …第1書込端子
 T_{w1} …第2書込端子
 T_{wR} …書込読出端子
 30 WBL …書込用ビット線
 WBL₀、WBL₀₀ …第1書込用ビット線
 WBL₁ …第2書込用ビット線
 WWL …書込用ワード線
 WWL₀、WWL₀₀ …第1書込用ワード線
 WWL₁、WWL₀₁ …第2書込用ワード線
 WWL₁₀ …第3書込用ワード線
 WWL₁₁ …第4書込用ワード線
 XCD …反転列選択切換信号
 T_{SEL}、T_{SEL1}、T_{SEL2} …選択読出端子

【図1】

第1実施例のメモリセル回路

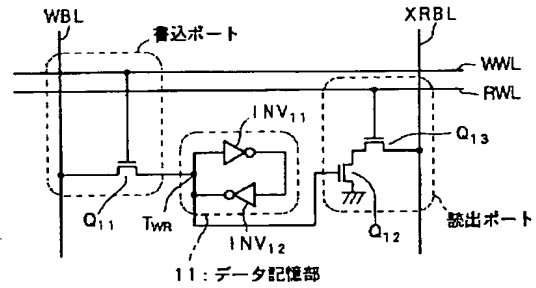
1: メモリセル回路



【図2】

第2実施例のメモリセル回路

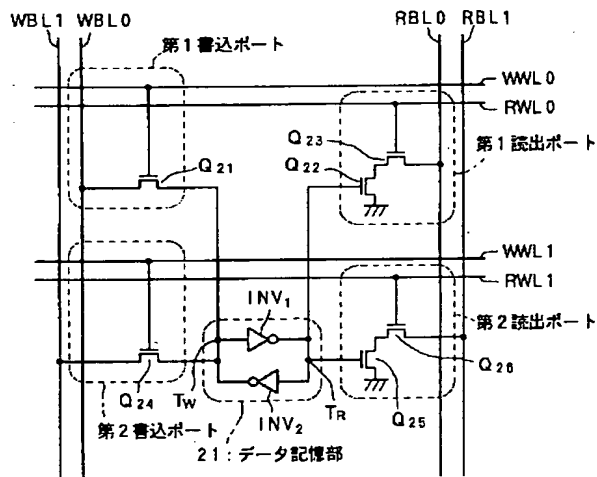
10: メモリセル回路



【図3】

第3実施例のメモリセル回路

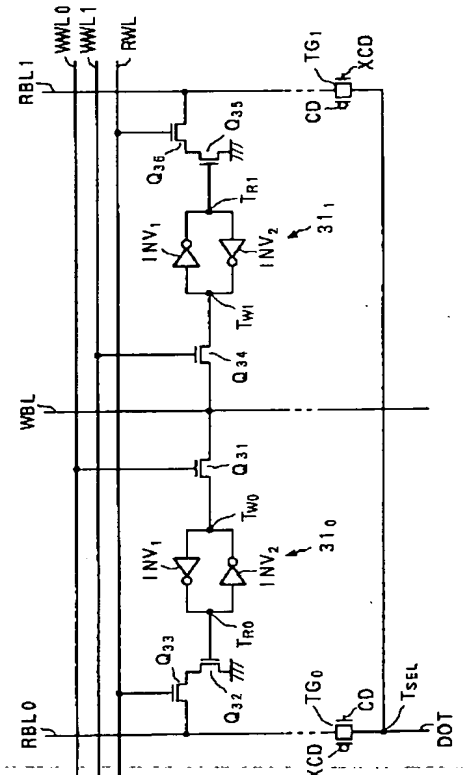
20: メモリセル回路



【図4】

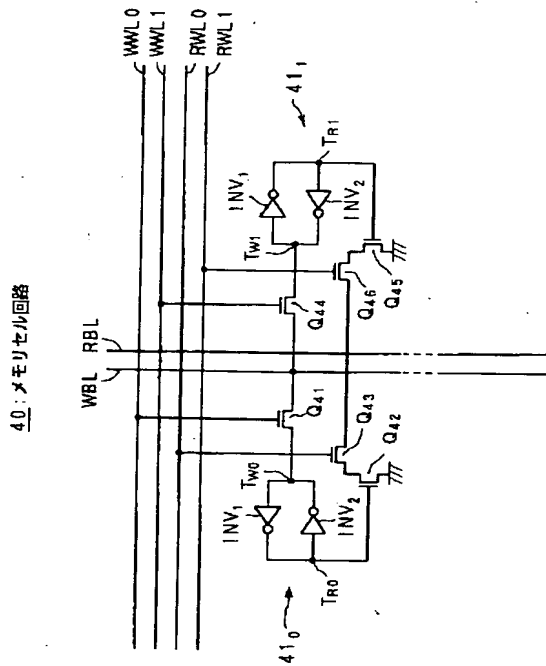
第4実施例のメモリセル回路

30: メモリセル回路



【図5】

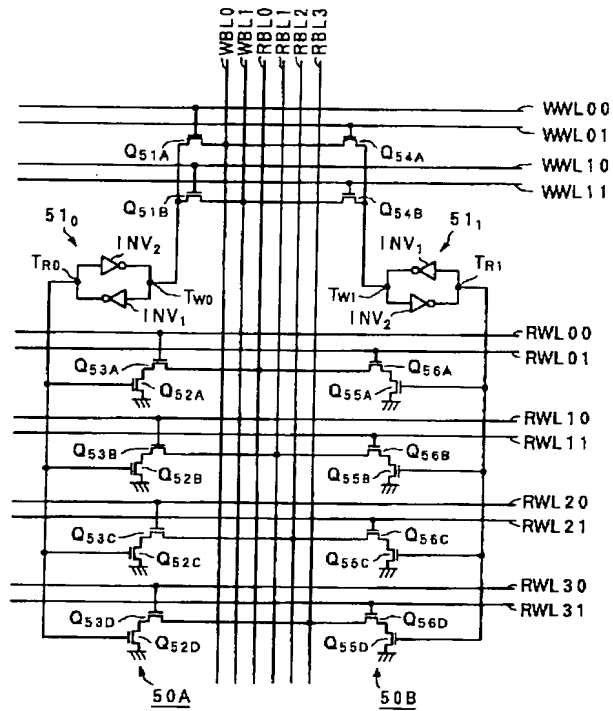
第5実施例のメモリセル回路



【図6】

第6実施例のマルチポートメモリ回路

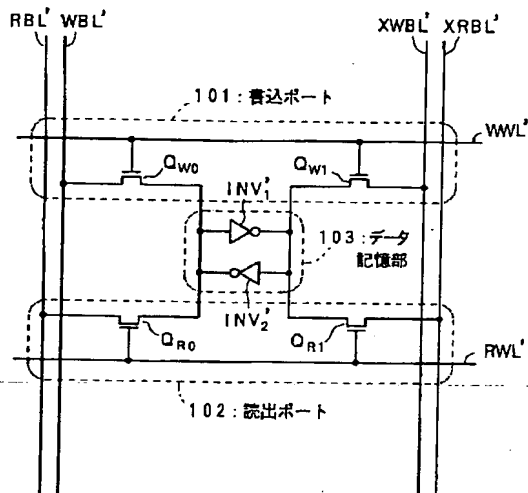
50: マルチポートメモリ回路



【図9】

従来のメモリセル回路

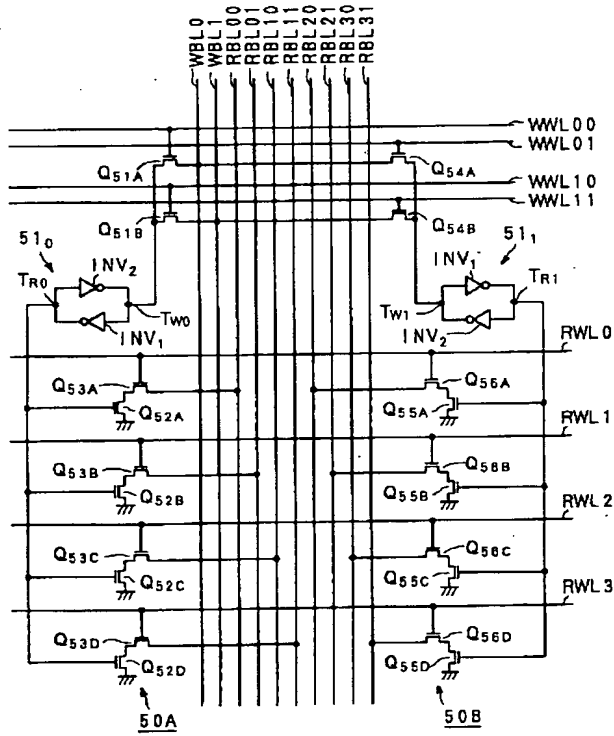
100: メモリセル回路



【図7】

第7実施例のマルチポートメモリ回路

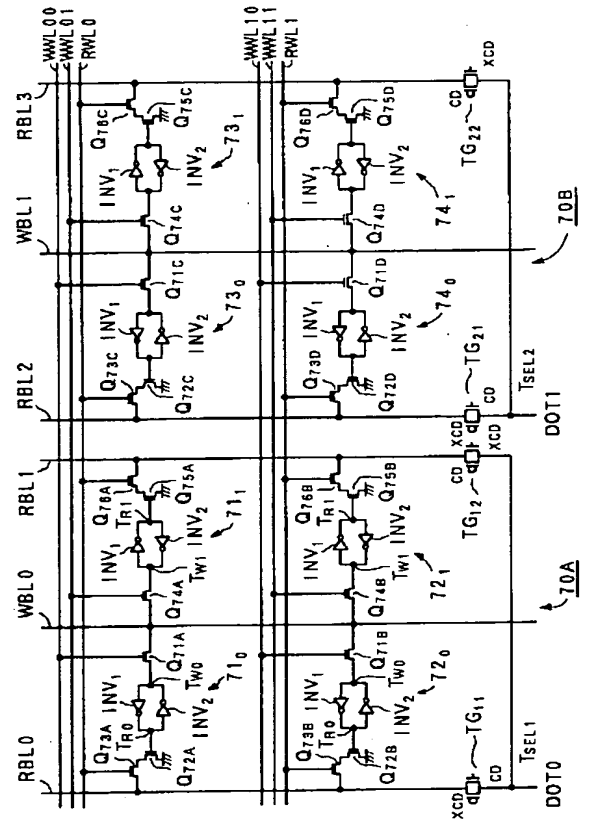
60: マルチポートメモリ回路



【図8】

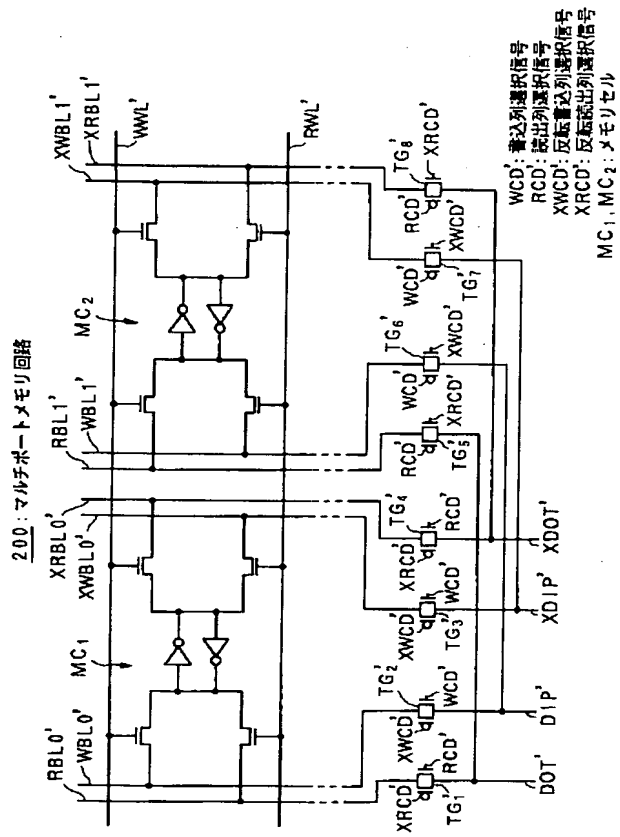
第8実施例のマルチポートメモリ回路

70: マルチポートメモリ回路



【図 10】

従来のマルチポートメモリ回路



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成14年3月29日(2002.3.29)

【公開番号】特開平8-161890
 【公開日】平成8年6月21日(1996.6.21)
 【年通号数】公開特許公報8-1619
 【出願番号】特願平6-300014
 【国際特許分類第7版】

G11C 11/41
 H01L 21/8244
 27/11

【FI】

G11C 11/34 K
 H01L 27/10 381

【手続補正書】

【提出日】平成13年10月31日(2001.10.31)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 半導体記憶装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 書込端子と、読出端子と、を有するデータ記憶部と、
書込用ワード線信号に基づいて書込用ビット線と前記書込端子とを接続する第1スイッチ手段と、
読出用ワード線信号と前記データ記憶部に記憶されるデータとに基づいて読出用ビット線を接地させる第2スイッチ手段と、
を備えることを特徴とする半導体記憶装置。

【請求項2】 書込読出端子を有するデータ記憶部と、
書込用ワード線信号に基づいて書込用ビット線と前記書込読出端子とを接続する第1スイッチ手段と、
読出用ワード線信号と前記データ記憶部に記憶されるデータとに基づいて読出用ビット線を接地させる第2スイッチ手段と、
を備えることを特徴とする半導体記憶装置。

【請求項3】 n本(nは2以上の整数)の書込用ワード線と、
m本(mは2以上の整数)の読出用ビット線と、
書込用ビット線と、

読出用ワード線と、

n個のメモリセル回路と、

制御信号に基づいて前記m本の読出用ビット線の内の何れかを選択するビット線選択手段と、

を備え、

前記メモリセル回路は、

書込端子と、読出端子と、を有するデータ記憶部と、

前記n本の書込用ワード線の内の何れかの書込用ワード線の信号に基づいて前記書込用ビット線と前記書込端子とを接続する第1スイッチ手段と、

読出用ワード線信号と前記データ記憶部に記憶されるデータとに基づいて読出用ビット線を接地させる第2スイッチ手段と、

を備えることを特徴とする半導体記憶装置。

【請求項4】 n本(nは2以上の整数)の書込用ワード線と、

n本の読出用ワード線と、

書込用ビット線と、

読出用ビット線と、

n個のメモリセル回路と、

を備え、

前記メモリセル回路は、

書込端子と、読出端子と、を有するデータ記憶部と、

前記n本の書込用ワード線の内の何れかの書込用ワード線の信号に基づいて前記書込用ビット線と前記書込端子とを接続する第1スイッチ手段と、

読出用ワード線信号と前記データ記憶部に記憶されるデータとに基づいて読出用ビット線を接地させる第2スイッチ手段と、

を備えることを特徴とする半導体記憶装置。

【請求項5】 前記第2スイッチ手段は、

第3スイッチ手段と、第4スイッチ手段と、を備え、

前記第3スイッチ手段は、前記データ記憶部に記憶され

るデータに基づいて前記第 4 スイッチ手段を接地させ、
前記第 4 スイッチ手段は、前記読出用ワード線信号に基づいて前記第 3 スイッチ手段と前記読出用ビット線とを接続することを特徴とする請求項 1 から 4 のいずれか一項に記載の半導体記憶装置。

【請求項 6】 書込用ワード線信号に基づいて書込用ビット線信号をデータ記憶部に書込み、
読出用ワード線信号に基づいて前記データ記憶部から読出用ビット線にデータを読み出す半導体記憶装置において、

前記データ記憶部に記憶されるデータが第 1 信号である場合には前記読出用ワード線信号を前記読出用ビット線に供給し、

前記データ記憶部に記憶されるデータが第 2 信号である場合には接地信号を前記読出用ビット線に供給することを特徴とする半導体記憶装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】そこで本発明の目的は、ポート数を増加させても、ビット線数の増加を抑制し、高集積化が可能な半導体記憶装置を提供することにある。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】

【課題を解決するための手段】上記課題を解決するため、請求項 1 記載の発明は、書込端子と、読出端子と、を有するデータ記憶部と、書込用ワード線信号に基づいて書込用ビット線と前記書込端子とを接続する第 1 スイッチ手段と、読出用ワード線信号と前記データ記憶部に記憶されるデータとに基づいて読出用ビット線を接地させる第 2 スイッチ手段と、を備えて構成する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】請求項 2 記載の発明は、書込読出端子を有するデータ記憶部と、書込用ワード線信号に基づいて書込用ビット線と前記書込読出端子とを接続する第 1 スイッチ手段と、読出用ワード線信号と前記データ記憶部に記憶されるデータとに基づいて読出用ビット線を接地させる第 2 スイッチ手段と、を備えて構成する。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】請求項 3 記載の発明は、n 本 (n は 2 以上の整数) の書込用ワード線と、m 本 (m は 2 以上の整数) の読出用ビット線と、書込用ビット線と、読出用ワード線と、n 個のメモリセル回路と、制御信号に基づいて前記 m 本の読出用ビット線の内の何れかを選択するビット線選択手段と、を備え、前記メモリセル回路は、書込端子と、読出端子と、を有するデータ記憶部と、前記 n 本の書込用ワード線の内の何れかの書込用ワード線の信号に基づいて前記書込用ビット線と前記書込端子とを接続する第 1 スイッチ手段と、読出用ワード線信号と前記データ記憶部に記憶されるデータとに基づいて読出用ビット線を接地させる第 2 スイッチ手段と、を備えて構成する。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】請求項 4 記載の発明は、n 本 (n は 2 以上の整数) の書込用ワード線と、n 本の読出用ワード線と、書込用ビット線と、読出用ビット線と、n 個のメモリセル回路と、を備え、前記メモリセル回路は、書込端子と、読出端子と、を有するデータ記憶部と、前記 n 本の書込用ワード線の内の何れかの書込用ワード線の信号に基づいて前記書込用ビット線と前記書込端子とを接続する第 1 スイッチ手段と、読出用ワード線信号と前記データ記憶部に記憶されるデータとに基づいて読出用ビット線を接地させる第 2 スイッチ手段と、を備えて構成する。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】請求項 5 記載の発明は、請求項 1 から 4 のいずれか一項に記載の半導体記憶装置において、前記第 2 スイッチ手段は、第 3 スイッチ手段と、第 4 スイッチ手段と、を備え、前記第 3 スイッチ手段は、前記データ記憶部に記憶されるデータに基づいて前記第 4 スイッチ手段を接地させ、前記第 4 スイッチ手段は、前記読出用ワード線信号に基づいて前記第 3 スイッチ手段と前記読出用ビット線とを接続するように構成する。請求項 6 記載の発明は、書込用ワード線信号に基づいて書込用ビット線信号をデータ記憶部に書込み、読出用ワード線信号に基づいて前記データ記憶部から読出用ビット線にデータを読み出す半導体記憶装置において、前記データ記憶部に記憶されるデータが第 1 信号である場合には前記読

出用ワード線信号を前記読出用ビット線に供給し、前記データ記憶部に記憶されるデータが第2信号である場合には接地信号を前記読出用ビット線に供給するように構成する。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】

【作用】請求項1記載の発明によれば、データの書込時において、第1スイッチ手段はデータ記憶部に備えられた書込端子と書込用ビット線とを接続する。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】これにより、書込端子を介してデータ記憶部にデータが書き込まれることとなる。一方、データの読出時において、第2スイッチ手段は、読出用ワード線信号とデータ記憶部に記憶されるデータとに基づいて読出用ビット線を接地させる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】これにより読出端子を介してデータ記憶部から読出用ビット線にデータが出力されることとなる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】以上の説明のように第1スイッチ手段に接続される書込用ビット線は1本でよく、また、第2スイッチ手段に接続される読出用ビット線も1本でよい。従って、従来のメモリセルと比較して半分のビット線数で済むこととなる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】請求項2記載の発明によれば、データの書込時において、第1スイッチ手段は書込用ワード線信号に基づき、データ記憶部に備えられた書込読出端子と書込用ビット線とを接続する。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】これにより、書込端子を介してデータ記憶部にデータが書き込まれることとなる。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】一方、データの読出時において、第2スイッチ手段は、読出用ワード線信号とデータ記憶部に記憶されるデータとに基づいて読出用ビット線を接地させる。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】これにより読出端子を介してデータ記憶部から読出用ビット線にデータが出力されることとなる。以上の説明のように第1スイッチ手段に接続される書込用ビット線は1本でよく、また、第2スイッチ手段に接続される読出用ビット線も1本でよい。従って、従来のメモリセルと比較して半分のビット線数で済むこととなる。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】請求項3記載に発明によれば、ビット線選択手段は制御信号に基づいてm本の読出用ビット線の内の何れかを選択する。一方、データの書込時において、メモリセル回路内の第1スイッチ手段は、n本の書込用ワード線の内の何れかの書込用ワード線の信号に基づき、データ記憶部に備えられた書込端子と書込用ビット線とを接続する。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】これにより、書込端子を介してデータ記憶部にデータが書き込まれることとなる。他方、データの読出時において、メモリセル回路内の第2スイッチ手段は、読出用ワード線信号とデータ記憶部に記憶されるデータとに基づき、読出用ビット線を接地させる。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】これにより読出端子を介してデータ記憶部から読出用ビット線にデータが出力されることとなる。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】以上の説明のように第1スイッチ手段に接続される書込用ビット線は1本でよく、また、第2スイッチ手段に接続される読出用ビット線も1本でよい。従って、従来のメモリセルと比較して半分のビット線数で済むこととなる。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】請求項4記載の発明によれば、データの書込み時において、メモリセル回路内の第1スイッチ手段は、n本の書込用ワード線の内の何れかの書込用ワード線の信号に基づき、データ記憶部に備えられた書込端子と書込用ビット線とを接続する。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】これにより、書込端子を介してデータ記憶部にデータが書き込まれることとなる。一方、データの読出時には、メモリセル回路内の第2スイッチ手段は、読出用ワード線信号とデータ記憶部に記憶されるデータとに基づき、読出用ビット線を接地させる。

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】これにより読出端子を介してデータ記憶部から読出用ビット線にデータが出力されることとなる。

【手続補正24】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】以上の説明のように第1スイッチ手段に接続される書込用ビット線は1本でよく、また、第2スイ

ッチ手段に接続される読出用ビット線も1本でよい。従って、従来のメモリセルと比較して半分のビット線数で済むこととなる。

【手続補正25】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】請求項5記載の発明によれば、請求項1から4のいずれか一項に記載の発明の作用に加えて、第2スイッチ手段が第3スイッチ手段と第4スイッチ手段と2より構成されており、第3スイッチ手段は、データ記憶部に記憶されるデータに基づいて第4スイッチ手段を接地させ、一方、第4スイッチ手段は、読出用ワード線信号に基づいて第3スイッチ手段と読出用ビット線とを接続する。

【手続補正26】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】よって、第3スイッチ手段に接続される読出用ビット線が1本でよいので、従来のメモリセルと比較して半分のビット線数で済むこととなる。

【手続補正27】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】請求項6記載の発明によれば、データ記憶部に記憶されるデータが第1信号である場合には読出用ワード線信号を読出用ビット線に供給し、一方、データ記憶部に記憶されるデータが第2信号である場合には接地信号を読出用ビット線に供給する。

【手続補正28】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正内容】

【0040】よって、データ記憶部に記憶されるデータの修理に応じて読出用ワード線信号又は接地信号のいずれかを読出用ビット線に供給するので、読出用ビット線が1本でよいこととなり、従来のメモリセルと比較して半分のビット線数で済むこととなる。

【手続補正29】

【補正対象書類名】明細書

【補正対象項目名】0116

【補正方法】変更

【補正内容】

【0116】

【発明の効果】本発明の半導体記憶装置によれば、メモリセル1ビット当りのビット線数を削減することができ、半導体記憶装置全体の面積を小さくすることができ

る。この結果、半導体記憶装置の高集積化が可能となるとともに、配線長が短くなる等により配線容量等を減少させて高速化が可能となる。

